

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112354

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H01L 23/12

(21)Application number : 05-211098

(71)Applicant : MOTOROLA INC

(22)Date of filing : 04.08.1993

(72)Inventor : SLOAN JAMES W

(30)Priority

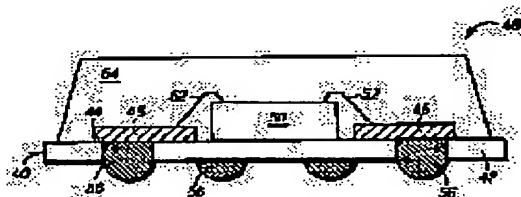
Priority number : 92 925145 Priority date : 06.08.1992 Priority country : US

(54) THIN OVER-MOLDED SEMICONDUCTOR DEVICE AND MANUFACTURE THEREFOR

(57)Abstract:

PURPOSE: To manufacture a thin over-molded pad array carrier by using a new substrate, equipped with a metal on one side and a non-plated through-hole, eliminating the necessity for soldering resist layers on the both faces of the substrate in the new substrate.

CONSTITUTION: A semiconductor die 50 is mounted on the upper side of a substrate and wire-bonded to a metallic trace 46 on the substrate. A package body 54 is over-molded on the substrate, and at least a die and a wire bond 52 are covered. A solder ball 56 is adhered in a through-hole 44 and directly connected with the metallic trace on the upper side of the substrate.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-112354

(43) 公開日 平成6年(1994)4月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12		9355-4M	H 0 1 L 23/12	L

審査請求 未請求 請求項の数3(全6頁)

(21) 出願番号 特願平5-211098

(22) 出願日 平成5年(1993)8月4日

(31) 優先権主張番号 925145

(32) 優先日 1992年8月6日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 ジェイムズ・ダブリュー・スローン
アメリカ合衆国テキサス州オースティン、
ローレル・バレー・ロード712

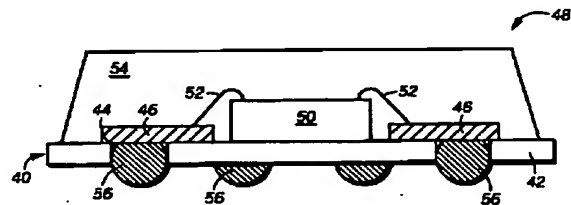
(74) 代理人 弁理士 大貫 進介 (外1名)

(54) 【発明の名称】 薄型オーバーモールドッド半導体デバイスおよびその製造方法

(57) 【要約】

【目的】 薄型オーバーモールドッド・パッド・アレイ・キャリア48は、片面に金属を有し、めっきしていないスルーホールを有する新しい基板40を用いて製造される。この新しい基板は、基板の両面におけるはんだレジスト層の必要性を排除している。

【構成】 半導体ダイ50は基板の上側にマウントされており、基板上の金属トレース46にワイヤ・ボンディングされている。パッケージ・ボディ54は基板上にオーバーモールドされて、少なくともダイおよびワイヤ・ボンド52を被覆する。はんだボール56はスルーホール44内で付着されて、これによって基板の上側の金属トレースに直接接続されている。



1

【特許請求の範囲】

【請求項1】 薄型オーバーモールドド半導体デバイス(48)であって：第1表面、第2表面、および複数のスルーホール(44)を有する基板(40)であって、前記第1表面は、前記複数のスルーホールの上に置かれる複数のはんだパッド(47)を終端とする導電金属トレース(46)のパターンを有する基板(40)；前記第1表面上にマウントされた半導体ダイ(50)であって、前記半導体ダイは、前記導電金属トレースの前記パターンに電気的に結合されている半導体ダイ(50)；封入材によって形成され、少なくとも前記半導体ダイを被覆するパッケージ・ボディ(54)；および前記第2表面から延在する複数のはんだボール(56)であって、前記複数のはんだボールは、前記複数のスルーホールによって前記第1表面上の複数のはんだパッドに接続されている複数のはんだボール(56)；によって構成されることを特徴とする薄型オーバーモールドド半導体デバイス。

【請求項2】 薄型オーバーモールドド半導体デバイス(48)であって：第1表面、第2表面、および複数のスルーホール(44)を有するプリント回路基板(40)であって、前記第1表面のみが、前記複数のスルーホールの上に置かれて複数のはんだパッド(47)を終端とする導電金属トレース(46)のパターンを有し、前記プリント回路基板は実質的に0.165から0.300ミリメートルの範囲の厚さを有するプリント回路基板(40)；前記第1表面上にマウントされた半導体ダイ(50)；前記半導体ダイを前記導電金属トレースの前記パターンに電気的に結合する複数のワイヤ・ボンド(52)；封入材によって形成され、少なくとも前記半導体ダイを被覆するパッケージ・ボディ(54)；および前記第2表面から延在する複数のはんだボール(56)であって、前記複数のはんだボールは、前記複数のスルーホールによって前記第1表面上の前記複数のはんだパッドに接続されている複数のはんだボール(56)；によって構成されることを特徴とする薄型オーバーモールドド半導体デバイス。

【請求項3】 薄型オーバーモールドド半導体デバイス(40)を製造する方法であって：第1表面、第2表面、および複数のスルーホール(44)によって構成される基板(40)を設ける段階であって、前記第1表面のみが、前記複数のスルーホールの上に位置する複数のはんだパッド(47)を終端とする導電金属トレース(46)のパターンを有する基板(40)を設ける段階；前記第1表面上に半導体ダイ(50)をマウントする段階；前記半導体ダイを、前記導電金属トレースの前記パターンに電気的に結合する段階；封入材によってパッケージ・ボディ(54)を形成し、少なくとも前記半導体ダイを被覆する段階；および前記複数のスルーホール内で複数のはんだボール(56)を付着させ、前記複

2

数のはんだボールを前記複数のはんだパッドに接続する段階であって、前記複数のはんだボールは前記基板の前記第2表面から延在するところの段階；によって構成されることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般に半導体デバイスに関し、具体的にはレジン・オーバーモールドド・パッド・アレイ・キャリア(resin overmolded leadless pad array carrier)およびその製造方法に関する。

【0002】

【従来の技術】一般に従来のデュアル・イン・ライン・パッケージ(DIP)は、比較的少ない入出力(I/O)リード数の半導体デバイスに使用されている。しかしながらI/Oリード数の多いパッケージ・デバイスでは、DIPは非実用的である。またDIPはスルーホール技術を利用するのの対して電子工業業会の動きは、表面実装用途に向かっている。リードレス・パッド・アレイ・キャリアの開発は、DIPなど従来のリード付きパッケージに比べていくつかの利点がある。これらのリードレス・パッド・アレイ・キャリアは、サイズを不必要に大きくせずに高いI/O密度を可能にする。またリードレス・パッド・アレイ・キャリアは、今日の用途に望ましい表面実装パッケージである。

【0003】リードレス・パッド・アレイ・キャリアの全体的な作りは、基板の上面にマウントされた半導体ダイ、および基板の下面に付着された複数のはんだボールを含む。既存の基板はビスマレイミド・トリアジン(BT)樹脂などのプリント回路板材であり、上下両面が銅で被覆されている。半導体ダイをマウントする最終的な基板を作るには複雑な製造工程が必要である。この基板はパネル形状で加工し、後でストリップ形状にカットしてデバイスを組み立てる。

【0004】最初は一枚の銅張りプリント回路板材のパネルから始め、次にこのパネルにスルーホールまたはバイア、およびツールリング穴(tooling hole)など他の必要な穴を開ける。ついで銅の被覆の上、およびスルーホールの側壁を銅めっきする。銅めっきは、無電解めっき工程、つぎに電解めっき工程を用いて行う。スルーホールをめっきする必要があるのは、これによって、基板の両面の金属の間に導電路を設けるためである。次に金属バタニング工程を実施して、この工程において、銅をフォトリソエッチングして、パネルの両面で導電金属トレースの個々のパターンを画定する。

【0005】個々の半導体ダイの導電トレースのパターンは、ボンディング・ポスト、経路設定トレース(routing trace)、エッジ・トレース、はんだパッドおよびめっきスルーホールを含む。ボンディング・ポストは導電トレースの一部を含んでおり、この部分はダイ実装エリアに隣接しており、半導体ダイと基板とのワイヤ・ボン

3

ディング接続に用いられる。エッジ・トレースは、ダイ実装エリアから遠位の導電トレース部分を含む。すなわち、それらはパネルから切り離された場合に、基板の端の位置にくるトレースである。エッジ・トレースは、パッケージの輪郭の外側に位置する接地バスに、すべてのトレースの経路を設定するために必要である。これは、電解めっきの共通接続を提供するために行う。エッジ・トレースは、組み立てたデバイスの特性検査(probing)に用いてもよい。しかしながらエッジ・トレースは必ずしも露出させなくてもよく、一部のデバイスでは、ソルダ・レジストで被覆されたままでもよい。はんだパッドは、トレースの終端になっている基板の下面に位置する導電トレースの部分を含む。はんだパッドは、はんだボールを基板に接続して、デバイスへの外部電気接続を設けるのに用いられる。経路設定トレースは、ボンディング・ポストをエッジ・トレースおよびはんだパッドに接続する導電トレースの部分に過ぎない。めっきスルーホールを通じて、基板の両面のトレースの間に電気接続が保たれる。

【0006】フォトエッチングの後、はんだレジストの薄膜がパネルの両面全体に施される。ついでレジスト・パターンニング工程を実施して、エッチングによりはんだレジスト層を除去して、導電金属トレースのパターンの選択的部分を露出させる。露出される部分には、ダイ実装エリア、ボンディング・ポストおよびエッジ・トレースが含まれ、これらはすべてパネルの上面にある。またパネルの下面のはんだパッドも、レジスト層のパターンニングの後で露出する。はんだレジスト層はいくつかの目的のために機能する。第1に、レジストによって、はんだパンピング工程の間、はんだがトレースの上を流れないようにする。このはんだパンピング工程で、はんだボールが基板の下面のはんだパッドに付着される。またレジスト層は、モールド作業中にモールド・ダイを固定(c lamp)するために均一で滑らかな表面を提供する。ついで導電金属トレースのパターンの内、露出された部分をニッケルと金でめっきする。ついでこのパネルをストリップ形状にカットし、組立工程ではこのストリップを用いてリードレス・パッド・アレイ・キャリアを製造する。

【0007】図1は、先行技術のリードレス・パッド・アレイ・キャリアの完成基板10の断面図を示したものである。図に示すように、プリント回路板材基板12は、両面に導電金属トレース14のパターンを有する。トレース14のパターンはボンディング・ポスト16、エッジ・トレース18、およびはんだパッド20を有する。はんだパッド20はすべて、基板の上面のトレース14に接続しているが、これらの接続は断面図では示されない。まためっきスルーホール22も図示されている。はんだレジスト24も図1に示されており、図1でははんだレジストは基板の両面上に位置している。

4

【0008】図2は、先行技術のリードレス・パッド・アレイ・キャリア30を組み立てたものを示している。図に示すように、半導体ダイ32は、基板10の上面にマウントされている。ダイ32は、複数のワイヤ34でボンディング・ポスト16と電気的に結合されており、このワイヤはダイ32およびワイヤ・ボンディング・ポスト16に接合されている。ワイヤ・ボンディングされた半導体ダイは、モールド・パッケージ・ボディ36によって保護されている。パッケージ・ボディ36はトランスファ・モルディング工程またはグローブ・トップ(glob top)工程によって形成され、この工程でダイ32およびワイヤ・ボンド34が封入材によってオーバーモールド(overmold)される。モールドの後、複数のはんだボール38が、基板10の下面にあるはんだパッド20に付着される。実際には、デバイスはストリップ形状で組み立てられ、完全に組み立てられた後に、個々のデバイスに切り離される。

【0009】

【発明が解決しようとする課題】上記リードレス・パッド・アレイ・キャリアの一つの欠点は、複雑な基板を必要とすることである。基板の両面に導電金属トレースのパターンがあるので、トレースの経路設定が複雑になる。またデバイスの静電容量およびインダクタンスはトレース全体の長さに正比例する。したがってトレースはできるだけ短くするのが望ましいが、トレースの経路設定が複雑であると必ずしもそれがままならない。また、リードレス・パッド・アレイ・キャリアをできるだけ薄くするのが望ましいのは、ラジオやページャなどの携帯型装置での使用を目的としているからである。キャリア全体の高さが節約できれば、大きな利点が得られる。

【0010】

【課題を解決するための手段】本発明にしたがって、基板、半導体ダイ、パッケージ・ボディ、および複数のはんだボールを有する半導体デバイスを製造する方法が提供される。この基板は、第1表面、第2表面、複数のスルーホール、および熱膨張係数を有しており、第1表面のみが、複数のスルーホールを介して複数のはんだパッドを終端とする導電金属トレースのパターンを有している。半導体ダイは第1表面上にマウントされて、導電金属トレースのパターンに電気的に結合されている。熱膨張係数を有する封入材によって形成されるパッケージ・ボディは、少なくとも半導体ダイを被覆する。複数のはんだボールは、複数のスルーホールによって、第1表面上の複数のはんだパッドに付着され、このスルーホールでは複数のはんだボールが基板の第2表面から延在している。

【0011】上記およびその他の特性ならびに利点は、添付図面と合わせて以下の詳細な説明からより明確に把握されよう。指摘すべき重要なことは、図は必ずしも縮尺どおりに描かれたものではなく、また具体的に図示し

た以外にも本発明の実施例があり得ることである。

【0012】

【実施例】ここで、図を参照しながら本発明について説明する。図3は、薄型オーバーモールドッド・パッド・アレイ・キャリア(low profile overmolded pad array carrier)の改良基板40を示す上面図である。改良基板40は実質的に0.165ミリメートルから0.300ミリメートルの範囲の厚さを有する。改良基板40は高分子材基板42から構成され、この基板は上面に、導電金属トレース46のパターンを有する。高分子材基板42は銅張りのBT樹脂を使用できるが、これに限定されない。銅張りBT樹脂を使用する場合には、銅をバタニングもしくはエッチングして、導電金属トレース46のパターンを形成する。トレース46の終端が複数のはんだパッド47になる。改良基板40は、図1を参照して説明した先行技術の基板とほぼ同様の方法で加工し、バタニング後、ニッケルおよび金など他の金属で金属トレースを実際にめっきして、はんだに対する導電率および濡れ指標を改善する。

【0013】図4～図5は、改良基板上に作られた薄型オーバーモールドッド・パッド・アレイ・キャリアの製造工程を示したものである。また図4は、図3の基板40を線4-4で切った断面図である。図4に示すように、リードレス・パッド・アレイ・キャリア用の改良基板40が提供される。改良基板40は、高分子材基板42内に複数のスルーホール44を有しており、この基板内でスルーホール44は図3に示すはんだパッドの裏の金属に向かって直接に開いている。図5は、完全に組立られた薄型オーバーモールドッド・パッド・アレイ・キャリア48を示したものである。図5において、半導体ダイ50が基板40の上にマウントされている。ダイ50は複数のワイヤ・ボンド52によってトレース46に電気的に結合されている。ワイヤ・ボンディング後、パッケージ・ボディ54は、トランスファ・モールドニング工程またはグロブ・トップ工程によって、基板上にオーバーモールドされて、ダイ50、ワイヤ・ボンド52およびトレース46を完全に被覆する。パッケージ・ボディ54は、高分子封止樹脂などの封入材を使用できるが、これに限定されない。パッケージ・ボディ54に用いる材料および高分子材基板42は、モールド・デバイスの潜在的な反りを最小にするために、ほぼ同じ範囲の熱膨張係数を有することが望ましい。オーバーモールドニング工程は、従来のトランスファ・モールドニング装置を用いて実施する。パッケージ・ボディ54をオーバーモールドした後、複数のはんだボール56を基板に付着して、ダイ50のための外部電気接続を設ける。はんだボール56は、スルーホール44内でトレース46の裏面に直接接続されている。はんだボールを導電トレースの裏側に直接付着する一つの利点は、トレースの経路設定が大幅に単純化されることと、それに加え

て経路設定密度を高くできることである。基板の上面から基板の下面へとトレースを経路設定する必要がない。もう一つの利点は、導電路の長さが図1の先行技術に比較して短くなっており、デバイスのインダクタンスおよび静電容量が低下することである。

【0014】この実施例は、先行技術に対して他にもいくつかの利点を有する。この基板は、基板の片面のみ金属を含むように大幅に単純化されている。そのため、金属バタニング工程が削減されて、基板の片面しか金属エッチングが必要でなくなり、時間も材料コストも節約される。またははんだレジストが基板から完全に排除されており、これによって基板の製造が単純化する。基板の下面ではんだレジストが必要なくなる理由は、この表面に金属被覆がないからである。はんだバンピング工程の間、トレースの上をはんだが流れてデバイスを短絡させる危険はない。この工程ではんだボールがスルーホール内でトレースに付着される。はんだレジストは基板の上面でも不要である。無電解めっきを用いるので、この実施例ではデバイスにエッジ・トレースがない。したがって、トレースが基板の端部まで延在していないので、基板の端部の滑らかな表面の上にモールド・ダイを固定(clamp)できる。基板の両面にはんだレジスト層を施す段階、および次のはんだレジストをパターン化する段階が除去される。基板の片面だけに金属を有し、はんだレジストがないことのもう一つの利点は、基板の厚さが減ることである。薄い基板は、リードレス・パッド・アレイ・キャリアが薄くなることにつながり、このことは、ラジオやページャなど携帯型装置の用途では特に望ましい。

【0015】図6は、リードレス・パッド・アレイ・キャリア基板60の代替的实施例を示したものである。図に示すように、基板60は、複数のスルーホール44を有する高分子材基板42によって構成される。また基板60は上面に導電金属トレース62のパターンを有しており、ここではトレース62は基板の端部まで延在している。また導電金属トレース62のパターンは、図3に示すものと実質的に同じ複数のはんだパッド(図示せず)を含んでおり、この場合高分子材基板42内のスルーホール44は、はんだパッドの裏面の金属に向かって直接開いている。基板の上面にはんだレジスト層64を有することはオプションになっており、そのため図6の左半分ははんだレジスト層を有する基板を、また図6の右半分ははんだレジスト層のない基板を示している。はんだレジスト層は、モールド・ダイを固定(clamp)するために滑らかな表面を設けることによって、オーバーモールドニング作業を助ける。しかもモールド・ダイが基板上に固定(clamp)された時に密閉シールが存在するように、トレースの間隙に合致するモールド・ダイを設計できる。しかしながらエッジ・トレースを有する場合にははんだレジスト層があると、モールド工程が容易

になる。

【0016】上記の説明および添付の図によって、本発明に関連した多くの利点が明かになる。具体的には、リードレス・パッド・アレイ・キャリアは、改良基板を用いて製造できることが明かになった。この基板は片面にのみ金属を有しており、はんだレジスト層を必要としないため、基板の加工が単純化され、コスト節減につながる。また片面の金属を排除し、はんだレジスト層も排除することによって、基板の厚さが減り、低プロファイル・リードレス・パッド・アレイ・キャリアを得る。

【0017】したがって、上記の必要性および利点を完全に満足する本発明に基づく薄型オーバーモールドド・半導体デバイス、および前記デバイスを製造する方法が提供されることが明かである。本発明は具体的な実施例を参照して説明してきたが、本発明をこれら具体的な実施例に限定することを意図するものではない。当業者は、本発明の意図から逸脱せずに変形およびバリエーションが可能であることを理解しよう。たとえば導電金属トレースのパターンは、半導体デバイスの個々の必要条件に依存して、図示したものとは異なってもよい。また改良基板ではスルーホールをめっきする必要はないが、はんだボールをはんだパッドの裏面の金属に付着しやすいように、必要に応じてめっきスルーホールを用いてもよい。したがって本発明は、添付請求の範囲に属するすべてのバリエーションおよび変形をカバーすることを意図している。

【図面の簡単な説明】

【図1】先行技術のパッド・アレイ・キャリアの基板を断面図で示したものである。

【図2】図1の基板上に作られた先行技術のパッド・アレイ・キャリアを断面図で示したものである。

【図3】本発明の実施例に基づく薄型オーバーモールドド・パッド・アレイ・キャリアの改良基板を、上面図で示したものである。

【図4】本発明の一つの実施例に基づき、図3の基板上に作られた薄型オーバーモールドド・パッド・アレイ・キャリアを製造する工程を断面図で示したものである。

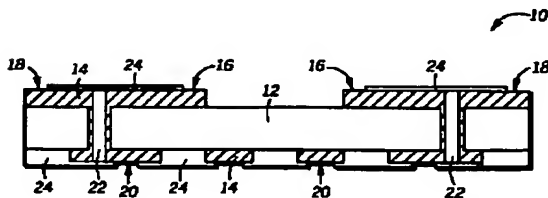
【図5】本発明の一つの実施例に基づき、図3の基板上に作られた薄型オーバーモールドド・パッド・アレイ・キャリアを製造する工程を断面図で示したものである。

【図6】本発明の別の実施例に基づく薄型オーバーモールドド・パッド・アレイ・キャリアの代替的基板を断面図で示したものである。

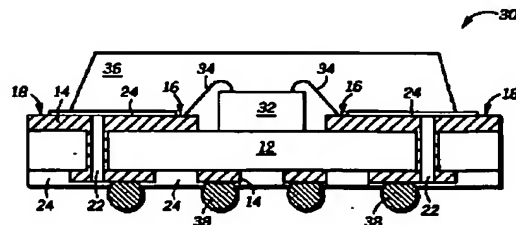
【符号の説明】

- | | |
|----|--------------------------|
| 10 | リードレス・パッド・アレイ・キャリアの完成基板 |
| 12 | プリント回路板材基板 |
| 14 | 導電金属トレース |
| 16 | ボンディング・ポスト |
| 18 | エッジ・トレース |
| 20 | はんだパッド |
| 22 | めっきスルーホール |
| 24 | はんだレジスト |
| 30 | 先行技術のリードレス・パッド・アレイ・キャリア |
| 32 | 半導体ダイ |
| 34 | ワイヤ |
| 36 | パッケージ・ボディ |
| 38 | はんだボール |
| 40 | 改良基板 |
| 42 | 高分子材基板 |
| 44 | スルーホール |
| 46 | 導電金属トレース |
| 47 | はんだパッド |
| 48 | 薄型オーバーモールドド・パッド・アレイ・キャリア |
| 50 | 半導体ダイ |
| 52 | ワイヤ・ボンド |
| 54 | パッケージ・ボディ |
| 56 | はんだボール |
| 60 | リードレス・パッド・アレイ・キャリア基板 |
| 62 | 導電金属トレース |
| 64 | はんだレジスト層 |

【図1】



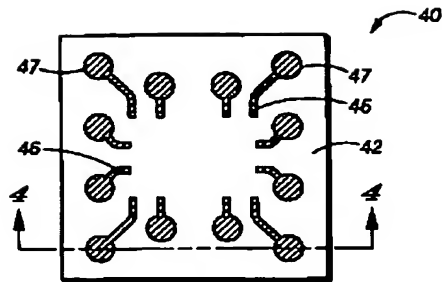
【図2】



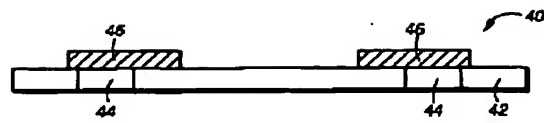
(6)

特開平6-112354

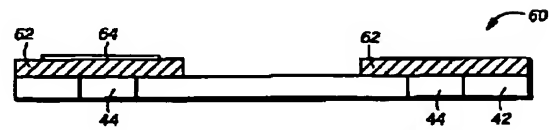
【図3】



【図4】



【図6】



【図5】

